



## CERTIFICATE OF MAILING

I hereby certify that the below listed documents are being deposited with the U.S. Postal Service as first class mail in an envelope addressed to:

**Commissioner for Patents  
P.O. Box 1450  
Alexandria, Virginia 22313-1450**

on December 11, 2003.

H. Chin Barnhill  
Hui Chin Barnhill

In Re Application of: Wang et al.

Group Art Unit: 2812

Serial No.: 10/659,117

Examiner: Unassigned

Filed: September 10, 2003

Docket No. 250317-1050

For: **Thin Film Transistor Substrate and Method of Manufacturing the Same**

The following is a list of documents enclosed:

Return Postcard  
Claim of Priority to and Submission of...  
Certified Copy of Priority Document



PATENT

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

In Re Application of: Wang et al.

Group Art Unit: 2812

Serial No.: 10/659,117

Examiner: Unassigned

Filed: September 10, 2003

Docket No. 250317-1050

For: **Thin Film Transistor Substrate and Method of Manufacturing the Same**

**CLAIM OF PRIORITY TO AND**  
**SUBMISSION OF CERTIFIED COPY OF REPUBLIC OF CHINA APPLICATION**  
**PURSUANT TO 35 U.S.C. §119**


Commissioner for Patents  
P.O. Box 1450  
Alexandria, Virginia 22313-1450

Sir:

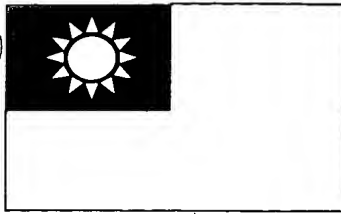
In regard to the above-identified pending patent application and in accordance with 35 U.S.C. §119, Applicants hereby claim priority to and the benefit of the filing date of Republic of China patent application entitled, "Thin Film Transistor Substrate and Method of Manufacturing the Same", filed September 27, 2002, and assigned serial number 91122420. Further pursuant to 35 U.S.C. §119, enclosed is a certified copy of the Republic of China patent application

Respectfully Submitted,

**THOMAS, KAYDEN, HORSTEMEYER  
& RISLEY, L.L.P.**

By:   
Daniel R. McClure, Reg. No. 38,962

100 Galleria Parkway, Suite 1750  
Atlanta, Georgia 30339  
770-933-9500



# 中華民國經濟部智慧財產局

INTELLECTUAL PROPERTY OFFICE  
MINISTRY OF ECONOMIC AFFAIRS  
REPUBLIC OF CHINA

茲證明所附文件，係本局存檔中原申請案的副本，正確無訛，

其申請資料如下：

This is to certify that annexed is a true copy from the records of this office of the application as originally filed which is identified hereunder:

申請日：西元 2002 年 09 月 27 日  
Application Date

申請案號：091122420  
Application No.

申請人：奇美電子股份有限公司  
Applicant(s)

局長

Director General

蔡練生

發文日期：西元 2003 年 10 月 9 日  
Issue Date

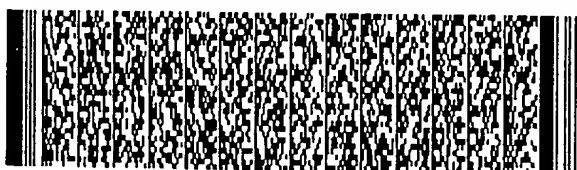
發文字號：09221017380  
Serial No.

申請日期：	案號：
類別：	

(以上各欄由本局填註)

## 發明專利說明書

一、 發明名稱	中 文	薄膜電晶體之結構及其製程方法
	英 文	
二、 發明人	姓 名 (中文)	1. 王程麒 2. 丁景隆
	姓 名 (英文)	1. Cheng-Chi Wang 2. Chin-Lung Ting
	國 籍	1. 中華民國 2. 中華民國
	住、居所	1. 台南縣永康市竹園一街45-16號 2. 台北市大安區龍陣里4鄰復興南路二段148號10樓
三、 申請人	姓 名 (名稱) (中文)	1. 奇美電子股份有限公司
	姓 名 (名稱) (英文)	1. CHI MEI Optoelectronics Corp.
	國 籍	1. 中華民國
	住、居所 (事務所)	1. 台南縣台南科學工業園區新市鄉奇業路1號
	代表人 姓 名 (中文)	1. 許文龍
	代表人 姓 名 (英文)	1.



四、中文發明摘要 (發明之名稱：薄膜電晶體之結構及其製程方法)

本發明提供一種藉由避免光電流之產生而提高液晶顯示器的品質，以及減少所需光罩之製程方法而節省製程成本。本發明先形成一由閘極層、第一絕緣層、非晶矽層、歐姆接觸層以及光阻層所組成之堆疊結構，接著沈積一第二絕緣層於堆疊結構上，並利用浮離(lift-off)方法，以形成位於堆疊結構之側壁的第二絕緣層，最後再依序形成源極、汲極、保護層與透明電極層以完成薄膜電晶體的製程。

英文發明摘要 (發明之名稱：)



本案已向

國(地區)申請專利

申請日期

案號

主張優先權

無

有關微生物已寄存於

寄存日期

寄存號碼

無

## 五、發明說明 (1)

### 【發明領域】

本發明是有關於一種薄膜電晶體的結構及其製程方法，特別是有關於一種節省光罩數之薄膜電晶體的結構及其製程方法。

### 【發明背景】

薄膜電晶體(TFT, thin film transistor)已大量應用於液晶顯示器的製造中，其傳統的製造方法將於第1圖至第5圖中說明如下。

請參考第1圖，其係為習知技術中一閘極形成於基材上之情形。首先，提供一基材100，且於基材100的上方沉積一閘極層110，並利用微影與蝕刻技術圖案化閘極層，以形成一閘極110。

請參考第2圖，其係顯示習知技術中一閘極絕緣層、一非晶矽層以及一歐姆接觸層形成於基材100上的情形。於閘極110形成之後，一閘極絕緣層120先形成於整個基材100之上，然後，一非晶矽層130與一歐姆接觸層140則依序沉積於閘極絕緣層120之上，並利用一形成於歐姆接觸層140之上，且具圖案的光阻層(未顯示於圖中)為遮罩，蝕刻歐姆接觸層140以及非晶矽層130，並去除其具圖案之光阻層，其結果如第2圖所示。

請參考第3圖，其係顯示習知技術中形成一汲極與一源極的情形。一金屬層先沉積於整個基材100之上，並利用微影與蝕刻製程，對金屬層進行圖案化的步驟，則於閘



## 五、發明說明 (2)

極上的金屬層中，形成一暴露非晶矽層130的開口，而於此同時，一汲極160與一源極165亦形成。

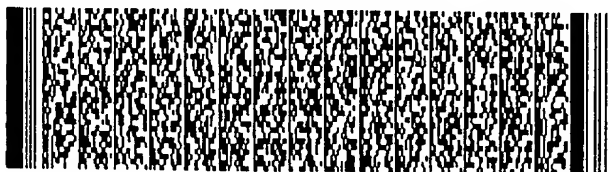
請參考第4圖，其係顯示習知技術中一保護層形成於基材100上的情形。一保護層170沉積於整個基材100之上，並藉由微影與蝕刻步驟，形成一開口於保護層170中，以暴露汲極160。

最後，請參考第5圖，其係顯示習知技術中形成一透明電極層的情形。一透明電極層180覆蓋於保護層之上，並填滿暴露至汲極160的開口，同樣的，再利用微影與蝕刻製程，圖案化透明電極層180，其結果如第5圖所示。上述薄膜電晶體的製程，共需要五道光罩，其分別顯示於第1圖至第5圖中，而在生產成本需降低的要求下，五道光罩的製程將無法滿足所需。

為降低成本，業界已發展出一種利用四道光罩製造薄膜電晶體之製程，其係結合第2圖與第3圖的圖案化過程為一道光罩製程而得，然而利用四道光罩製程所完成的薄膜電晶體結構具有下列之光電流的問題：由於位於基材下方的背光源，提供液晶面板所需要的光線，然而，其光線直接照射非晶矽層引發光電流，使薄膜電晶體的OFF特性惡化，而影響液晶面板的品質。

### 【發明目的及概述】

有鑑於此，本發明的目的就是在提供一種可以解決光電流與可以節省成本的製程方法。





### 五、發明說明 (3)

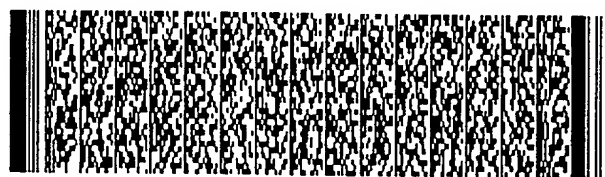
本發明首先形成複數個堆疊結構於一基材上，而複數個堆疊結構係依序由一閘極層、一第一絕緣層、一非晶矽層及一歐姆接觸層所組成；接著，形成一第二絕緣層至少位於複數個堆疊結構之側壁上；然後，沉積一導電層於具圖案之第二絕緣層與歐姆接觸層之上，並圖案化導電層與歐姆接觸層，以暴露部分非晶矽層，並形成一源極與汲極；最後，形成一保護層於非晶矽層與部份導電層之上，並形成一透明電極層於導電層上且覆蓋部分保護層，且透明電極層與導電層電性連接。

為讓本發明之上述目的、特徵、和優點能更明顯易懂，下文特舉較佳實施例，並配合所附圖式，作詳細說明如下：

#### 【較佳實施例】

本發明所提出的方法，係利用一包含閘極、絕緣層、非晶矽層與歐姆接觸層之堆疊結構，與一浮離(lift-off)步驟，以達到僅以四道光罩步驟完成一不產生光電流的薄膜電晶體。本發明之第一實施例係於第6圖至第11圖中說明，本發明之第二實施例係於第12圖至第18圖中說明。

請參考第6圖，其係為本發明第一實施例中形成一堆疊結構之情形。首先，提供一基材200，並於基材200上，依序沉積一閘極層、一第一絕緣層、一非晶矽層、一歐姆接觸層以及一光阻層(未顯示於圖中)；接著，利用曝光與顯影技術，形成具圖案之光阻層241，且以該圖案化之光



#### 五、發明說明 (4)

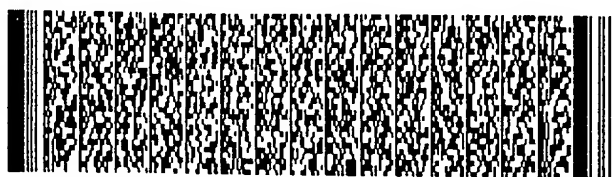
阻層241為遮罩，蝕刻歐姆接觸層、非晶矽層、第一絕緣層與閘極層，以得到一由閘極層210、第一絕緣層220、非晶矽層230與歐姆接觸層240所組成之堆疊結構，並保留其上之光阻層241，如第6圖所示。其中，閘極層210、第一絕緣層220與歐姆接觸層240的組成可分別為金屬層、氮化矽層與摻雜磷離子的非晶矽層。

請參考第7圖，沉積一由氮化矽或氧化矽所組成之第二絕緣層250a與250b於整個基材200之上，其中，第二絕緣層250a係位於光阻層241之上，而第二絕緣層250b係位於堆疊結構之側壁，以保護堆疊結構，如第7圖所示。

接著，請參考第8圖，其係顯示本發明第一實施例中浮離(lift-off)光阻層241後的情形，而由於第二絕緣層250a係位於光阻層241之上，因此，於去除光阻層241的同時，第二絕緣層250a亦同時被去除。

接著，請參考第9圖，一導電層形成於第二絕緣層250b以及歐姆接觸層240之上，並利用微影與蝕刻製程，圖案化導電層以及歐姆接觸層240，以形成一開口268於導電層之中，於此同時，具有導電性質的源極260與汲極265亦隨之形成。本發明之導電層可為一金屬層，例如：鉻、鉬、鋁、銅、鈦、鉭或鎢等。

請參考第10圖，一保護層270形成於基材200之上，以填滿開口268，以利後續之製程。然後，利用微影與蝕刻製程，圖案化保護層270，而形成一可暴露汲極265或源極260的開口275於保護層270之中，其結果如第10圖所示。



#### 五、發明說明 (5)

其中，保護層270通常為一絕緣層，如氮化矽層。

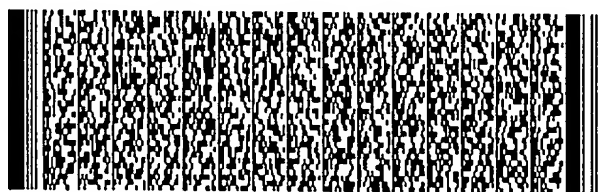
請參考第11圖，一透明電極層280形成於保護層270之上，並填滿開口275，且利用微影與蝕刻製程，圖案化透明電極層280，形成如第10圖所示之情形，其中，透明電極係由氧化錫銦 (ITO, indium-tin-oxide) 所構成。

從第6圖至第11圖所顯示之實施例，僅需要四道光罩的製程，其係分別於第6圖、第9圖至第11圖之中完成，比傳統之方法，省去一道光罩製程之步驟，而節省許多製程上的成本。再者，當應用於液晶顯示器時，由於非晶矽層230與閘極210係利用同一道光罩定義，因此來自基材200背面的光線，可藉由閘極210的遮蔽，不會直接照射於非晶矽層230而產生光電流。所以，得以提高本發明之液晶顯示器的品質。

接著，請參考第12圖至第18圖，其係說明本發明的第二實施例，其中第12圖與第13圖，係顯示本發明第二實施例中，形成具有不同組成之第一堆疊結構與第二堆疊結構之情形。

首先，於第12圖中，先依序形成一閘極層、一第一絕緣層、一非晶矽層、一歐姆接觸層以及一光阻層(未顯示於圖中)，其中，光阻層係利用半色調(半透型)光罩(half tone mask)完成，因此，本實施例的光阻層係為至少具有兩種厚度的光阻層345a'與345b'，且光阻層345b'的厚度較光阻層345a'薄。

然後，以光阻層345a'與光阻層345b'為遮罩，蝕刻歐



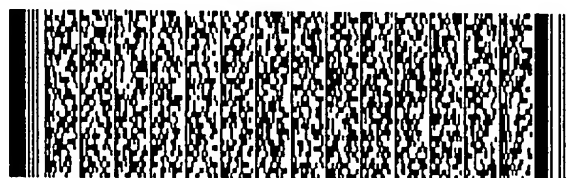
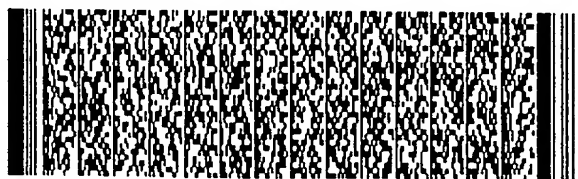
#### 五、發明說明 (6)

姆接觸層340、非晶矽層330、第一絕緣層320與閘極層310，以去除未被光阻層345a'與光阻層345b所覆蓋之歐姆接觸層340、非晶矽層330、絕緣層320與閘極層310，如第12圖所示。

接著，進行光阻灰化(ashing)的製程，由於光阻層345b'的厚度較薄，因此，當光阻層345b'灰化後，將使其下的歐姆接觸層340以及非晶矽層330不受到保護，而被去除；而由於光阻層345a'較厚，則保護著其下的歐姆接觸層340以及非晶矽層330，直至光阻層345b'之下的歐姆接觸層340、非晶矽層330以及絕緣層320完全被去除為止，其結果係如第13圖所示，其中，光阻層345a'被灰化成光阻層345a，而光阻層345b'則完全被灰化。故，光阻層345a之下具有第一堆疊結構，其係由閘極層310、絕緣層320、非晶矽層330與歐姆接觸層340所組成，而第二堆疊結構僅由閘極層310所組成。本發明之此步驟之蝕刻程度係依實際上的需求而定，例如，光阻層345b'之下的絕緣層320亦可被保留。

請參考第14圖，一由氮化矽或氧化矽組成之第二絕緣層350沉積於整個基材300之上，並覆蓋前述之第一堆疊結構與第二堆疊結構的上表面，如第14圖所示。其中，第二絕緣層350a位於第一堆疊結構上，而第二絕緣層350b則位於基材300的其他地方，例如：至少位於第一堆疊結構與第二堆疊結構的側壁上。

接著，請參考第15圖，其係顯示本發明第二實施例



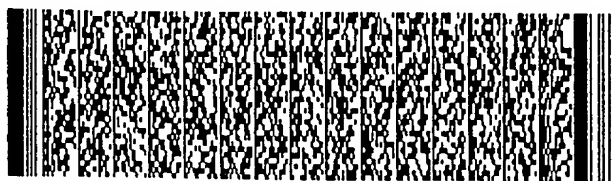
#### 五、發明說明 (7)

中，利用灰化製程以浮離(lift-off)光阻層345a後的情形，而由於第二絕緣層350a係位於光阻層345a之上，因此，於去除光阻層345a的同時，第二絕緣層350a亦隨之被去除。

請參考第16圖，一導電層形成於第二絕緣層350b以及歐姆接觸層340之上，並利用微影與蝕刻製程，圖案化導電層以及歐姆接觸層340，以形成一暴露非晶矽層330的開口368於導電層之中，於此同時，具有導電性質的源極360與汲極365亦隨之形成。本發明之導電層可為一金屬層，例如：鉻、鉬、鋁、銅、鈦、鉭與鎢。

請參考第17圖，一保護層370形成於整個基材300之上，以填滿開口368，並平坦化保護層370之表面，以利後續之製程。接著，利用微影與蝕刻製程，圖案化保護層370與第二絕緣層350b，而形成一可暴露源極360的開口375於保護層370之中，以及一可暴露第二堆疊結構之第一導電層310的開口376，其結果如第17圖所示。其中，保護層370通常為一絕緣層，如二氧化矽層。

請參考第18圖，其係顯示本發明第二實施例中形成一透明電極層380的情形。一透明電極層380形成於保護層370之上，並填滿開口375與開口376，且利用微影與蝕刻製程，圖案化透明電極層380，形成如第18圖所示之情形，其中，透明電極層380係由氧化錫銦(ITO, indium-tin-oxide)所構成，且與源極360以及閘極層310電性連接，與源極360連接的部分係作為畫素電極之用。再者，



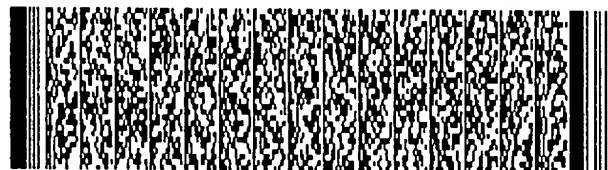
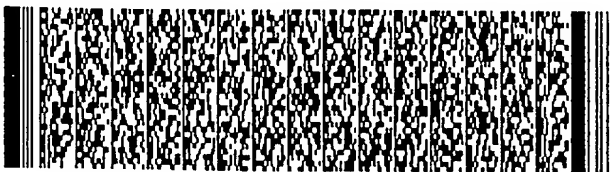
##### 五、發明說明 (8)

與源極360以及閘極層310電性連接的兩透明電極層380a、380b可相連接或不相連接，其端視實際需要而定。

從第12圖至第18圖所顯示之實施例，僅需要四道光罩的製程，其係分別於第13圖、第16圖至第18圖之中完成，比傳統之方法，省去一道光罩製程之步驟，而節省許多製程上的成本。而當應用於液晶顯示器時，來自基材300背面的光線，因閘極層的遮蔽，不會直接照射非晶矽層330而產生光電流，所以，得以改善薄膜電晶體OFF的特性，提高本發明之液晶顯示器的品質。

縱上所述，本發明係利用浮離(lift-off)製程，藉由減少所需製程之光罩數目，而節省製程成本；並利用以閘極層、絕緣層、非晶矽層與歐姆接觸層所構成之堆疊結構，以避免光線照射所產生之光電流，得以提高液晶顯示器的品質。因此，本發明之液晶顯示器同時具有高品質與低製程成本的優點。

雖然本發明已以較佳實施例揭露如上，然其並非用以限定本發明，任何熟習此技藝者，在不脫離本發明之精神和範圍內，當可作各種之更動與潤飾，因此本發明之保護範圍當視後附之申請專利範圍所界定者為準。



圖式簡單說明

【圖式之簡單說明】

第1圖至第5圖係顯示習知技藝薄膜電晶體之製造流程。

第6圖至第11圖，其係為本發明第一實施例薄膜電晶體之製造流程。

第12圖至第18圖，其係顯示本發明第二實施例薄膜電晶體之製造流程。

【標號說明】

100, 200, 300 : 基材

110, 210, 310 : 閘極層

120 : 絕緣層

220, 320 : 第一絕緣層

130, 230, 330 : 非晶矽層

140, 240, 340 : 歐姆接觸層

241, 345a', 345b', 345a : 光阻層

250a, 250b, 350a, 350b : 第二絕緣層 :

268, 368 : 開口

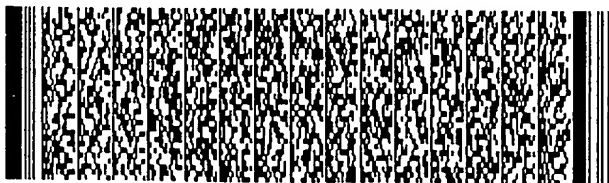
160, 260, 360 : 源極

165, 265, 365 : 汲極

170, 270, 370 : 保護層

275, 375 : 開口

180, 280, 380 : 透明電極層



## 六、申請專利範圍

1. 一種於一基材上形成薄膜液晶顯示器(TFT-LCD, thin film transistor liquid crystal display)的方法，其方法至少包含：

形成一第一前堆疊結構與一第二前堆疊結構於該基材上，該第一前堆疊結構依序為一第一導電層、一第一絕緣層、一非晶矽層、一歐姆接觸層，該第二前堆疊結構依序為該第一導電層、該第一絕緣層、該非晶矽層、該歐姆接觸層，其中該第一前堆疊結構與該第二前堆疊結構係以一光阻層圖案化，而該光阻層在該第一前堆疊結構上具有一第一厚度，在該第二前堆疊結構上具有一第二厚度，而該第二厚度小於該第一厚度；

去除該第二厚度之該光阻層，暴露出該第二前堆疊結構；

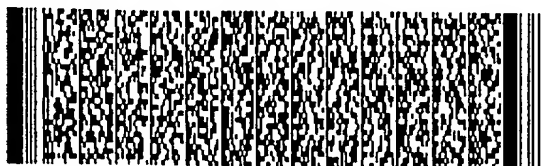
去除至少該第二前堆疊結構之該歐姆層、非晶矽層，以形成一第一堆疊結構與一第二堆疊結構，該第一堆疊結構係由該第一導電層、該絕緣層、該非晶矽層與該歐姆接觸層所組成，該第二堆疊結構係至少由該第一導電層所組成；

形成一第二絕緣層於該基材上；

去除該第一厚度之該第一光阻層，以浮離(lift-off)該光阻層與該光阻層上之該第二絕緣層；

沉積一第二導電層於該基材上；

圖案化該第二導電層以暴露部分該非晶矽層以及暴露該第二堆疊結構之上的第二絕緣層，並形成一汲極與源





## 六、申請專利範圍

極；

形成一具平坦表面之保護層於該基材上；

圖案化該保護層與該第二絕緣層，以暴露部份該第二導電層以及部分該第一結構之該第一導電層；以及

形成一透明導電層，於該第二導電層與該保護層上，該透明導電層之一第一部份作為一畫素電極連接該第二導電層，該透明導電層之一第二部分係連接該第一導電層。

2. 如申請專利範圍第1項所述之方法，其中該浮離(lift-off)步驟係以濕蝕刻製程實施。

3. 如申請專利範圍第1項所述之方法，其中該第二絕緣層係為氮化矽。

4. 如申請專利範圍第1項所述之方法，其中該第一導電層係為閘極層。

5. 一種於一基材上形成薄膜液晶顯示器(TFT-LCD, thin film transistor liquid crystal display)的方法，其方法至少包含：

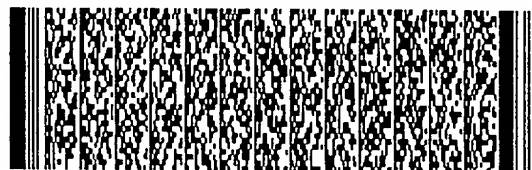
形成一堆疊結構於該基材上，該堆疊結構係依序為一第一導電層、一第一絕緣層、一非晶矽層與一歐姆接觸層，其中該堆疊結構係以一光阻層圖案化形成；

形成一第二絕緣層至少於該堆疊結構之側壁上；

沉積一第二導電層於該基材上；

圖案化該第二導電層以暴露部分該非晶矽層，並形成一汲極與源極；

形成一保護層於該非晶矽層與部份該第二導電層之



## 六、申請專利範圍

上；以及

形成一透明電極層以覆蓋部分該保護層，並連接該第二導電層。

6. 如申請專利範圍第5項所述之方法，其中該第二絕緣層係為氧化矽。

7. 如申請專利範圍第5項所述之方法，其中該第一導電層係為閘極層。

8. 如申請專利範圍第5項所述之方法，其中該形成一第二絕緣層之步驟，更包含：

形成一第二絕緣層於該基材上；以及

浮離(lift-off)該光阻層，以去除該光阻層與該光阻層上之該第二絕緣層。

9. 如申請專利範圍第8項所述之方法，其中該浮離(lift-off)步驟係以濕蝕刻製程實施。

10. 一種位於基材上之薄膜電晶體的結構，其結構至少包含：

一第一堆疊結構與一第二堆疊結構，其係位於該基材上，其中，該第一堆疊結構依序為一第一導電層、一第一絕緣層、一非晶矽層所組成，該第二堆疊結構為該第一導電層所組成；

一歐姆接觸層，位於該非晶矽層分離之第一區域與第二區域之上；

一第二絕緣層，其係至少位於該第一堆疊結構與該第二堆疊結構之側壁上，以及該第二堆疊結構之部份上表



## 六、申請專利範圍

面；

一源極與汲極，該源極位於部分之該第二絕緣層與該歐姆接觸層之第一區域上，該汲極位於部分之該第二絕緣層與該歐姆接觸層之第二區域之上；

一保護層，其係位於該非晶矽層、部份該源極與汲極其中之一上與該第二絕緣層之上；以及

一透明導電層，覆蓋部分該保護層，且該透明導電層的第一部分與該第二堆疊結構之該第一導電層電性連接，而該透明導電層的第二部分與該源極與汲極其中之一電性連接。

11. 如申請專利範圍第10項所述之結構，其中該第二絕緣層更位於該第一堆疊結構與一第二堆疊結構之間。

12. 如申請專利範圍第10項所述之結構，其中該第二透明導電層的第一部分與第二部分的關係可為相連與不相連的其中之一。

13. 如申請專利範圍第10項所述之結構，其中該第一導電層係為閘極層。

14. 如申請專利範圍第10項所述之結構，其中該透明電極層係由氧化錫銦 (ITO, indium-tin-oxide) 所構成。

15. 一種位於一基材上之薄膜電晶體的結構，其結構至少包含：

複數個堆疊結構位於該基材上，該複數個堆疊結構依序為一第一導電層、一第一絕緣層、一非晶矽層所組成；一歐姆接觸層，位於該非晶矽層之分離之第一區域與第二



## 六、申請專利範圍

區域之上；

一 第二絕緣層，其係至少位於該複數個堆疊結構之側壁上；

一 源極與汲極，該源極位於部分之該第二絕緣層與該歐姆接觸層之第一區域上，該汲極位於部分之該第二絕緣層與該歐姆接觸層之第二區域之上；

一 保護層，其係位於該非晶矽層與部份該源極與汲極其中之一上；以及

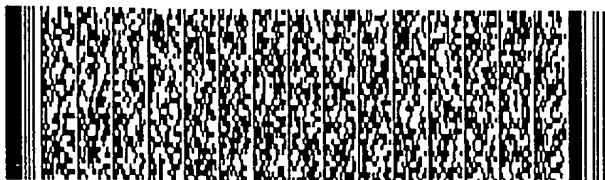
一 透明導電層，其係位於該源極與汲極其中之一上，且覆蓋部分該保護層，並與該源極與汲極其中之一電性連接。

16. 如申請專利範圍第15項所述之結構，其中該第二絕緣層更位於該複數個堆疊結構之間。

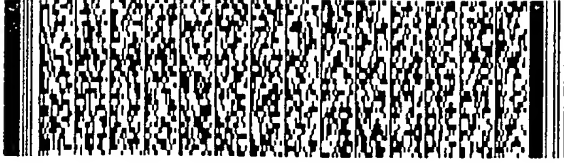
17. 如申請專利範圍第15項所述之結構，其中該第二絕緣層係為氮化矽。

18. 如申請專利範圍第15項所述之結構，其中該第一導電層係為閘極層。

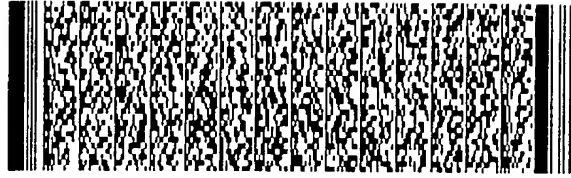
19. 如申請專利範圍第15項所述之結構，其中該透明電極層係由氧化錫銦 (ITO, indium-tin-oxide) 所構成。



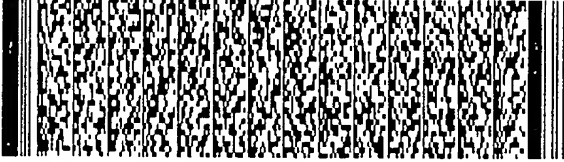
第 1/17 頁



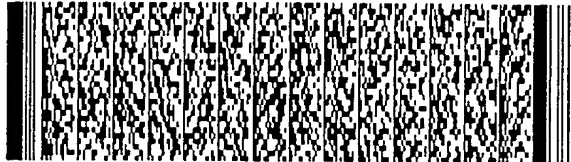
第 2/17 頁



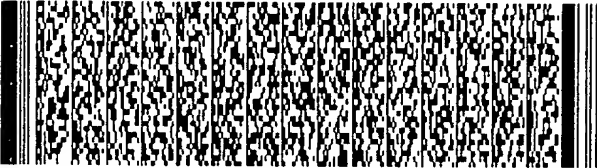
第 4/17 頁



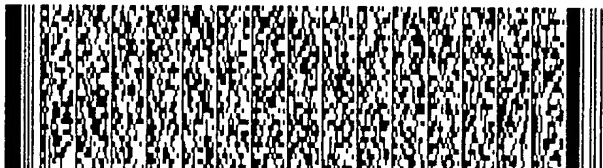
第 4/17 頁



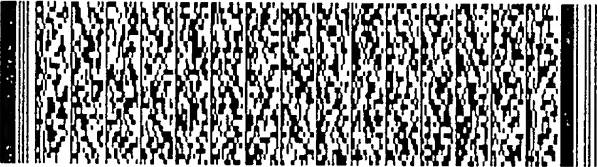
第 5/17 頁



第 5/17 頁



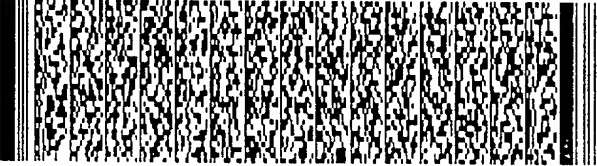
第 6/17 頁



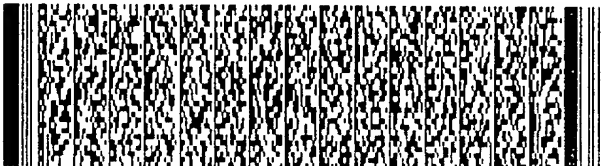
第 6/17 頁



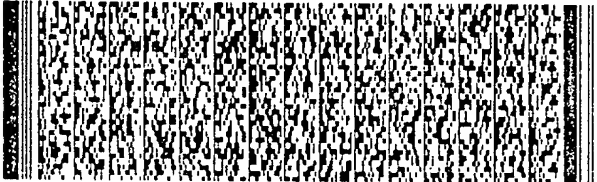
第 7/17 頁



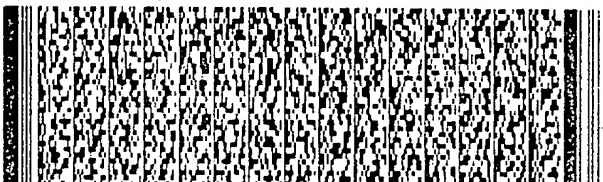
第 7/17 頁



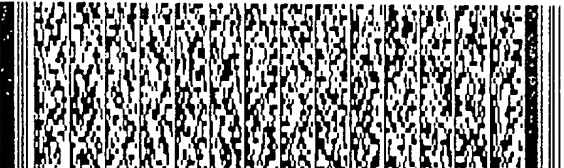
第 8/17 頁



第 8/17 頁



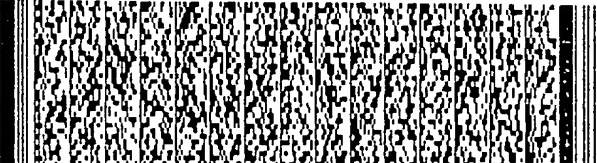
第 9/17 頁



第 9/17 頁



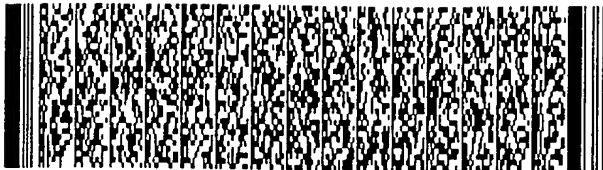
第 10/17 頁



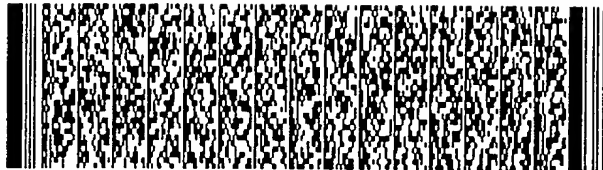
第 10/17 頁



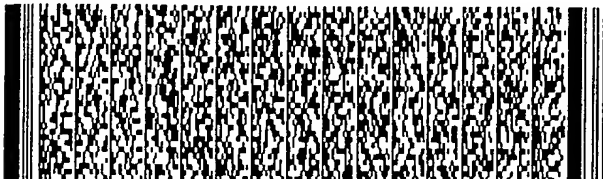
第 11/17 頁



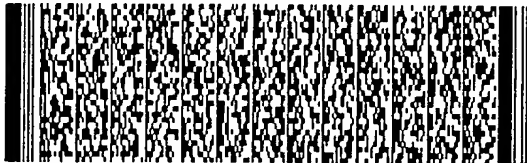
第 11/17 頁



第 12/17 頁



第 13/17 頁



第 13/17 頁



第 14/17 頁



第 14/17 頁



第 15/17 頁



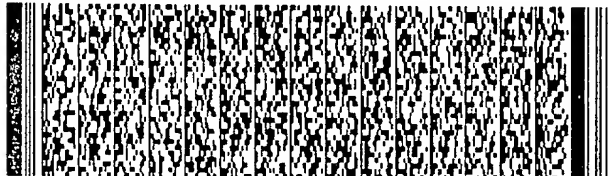
第 16/17 頁

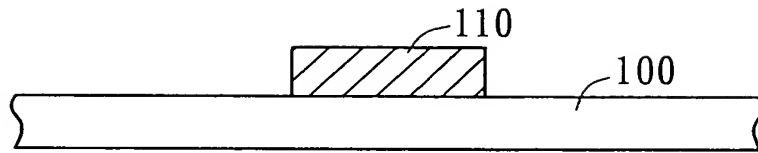


第 16/17 頁

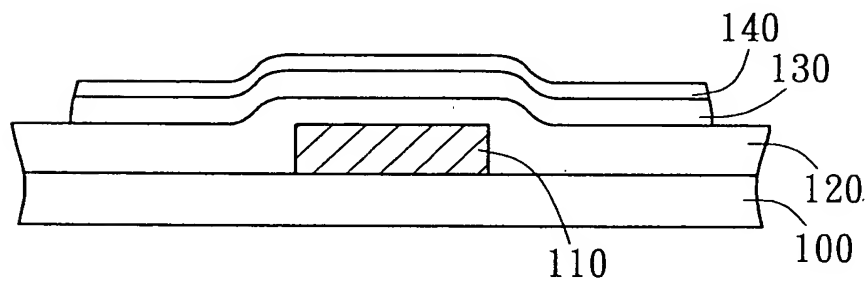


第 17/17 頁

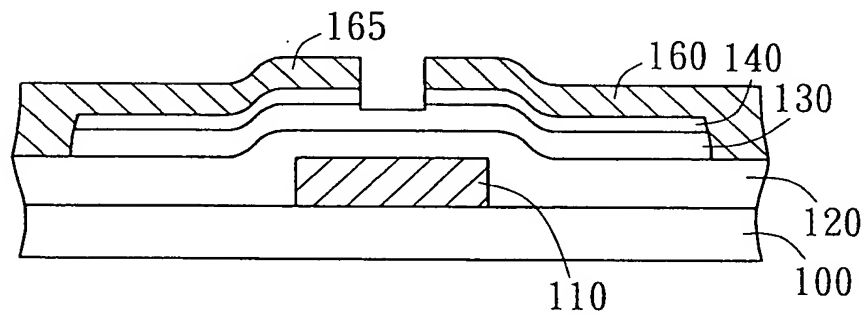




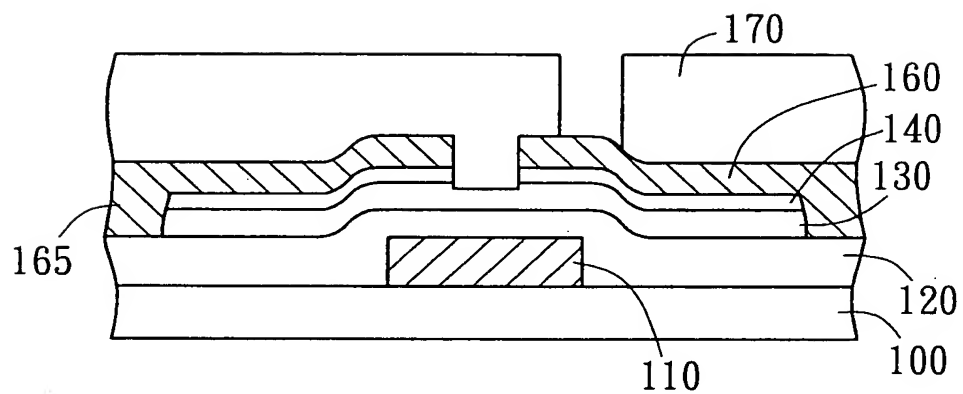
第 1 圖



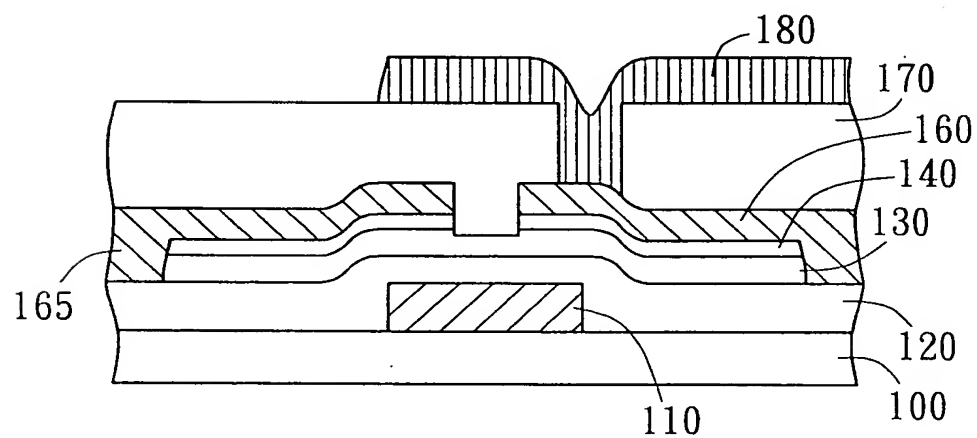
第 2 圖



第 3 圖

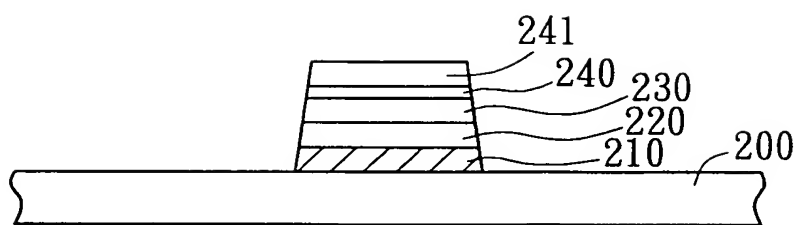


第 4 圖

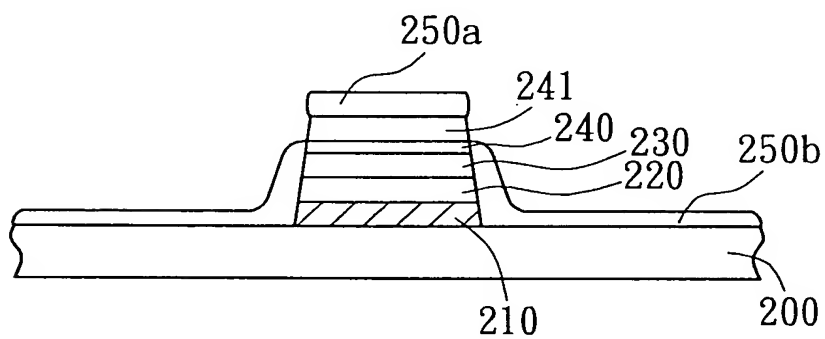


第 5 圖

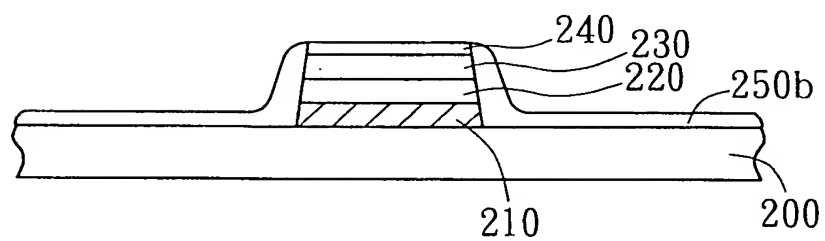




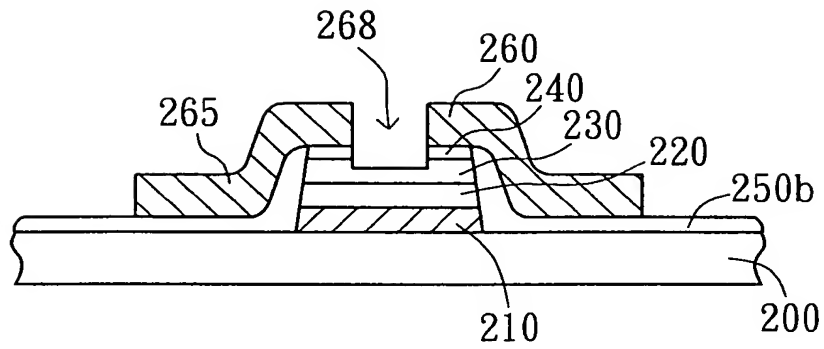
第 6 圖



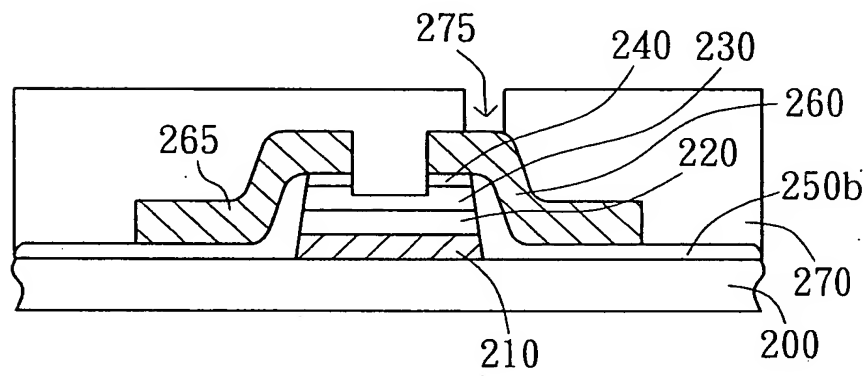
第 7 圖



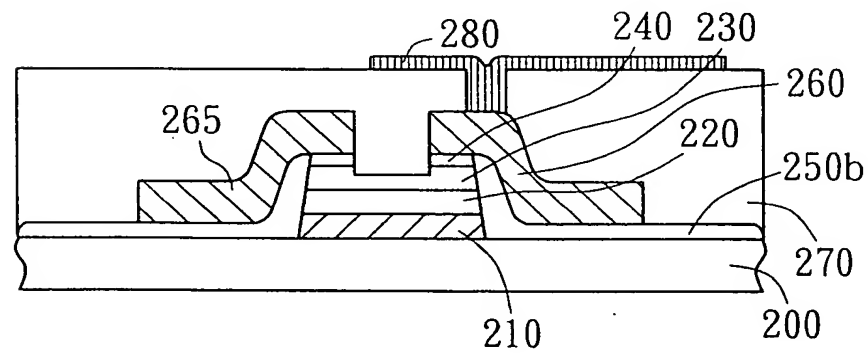
第 8 圖



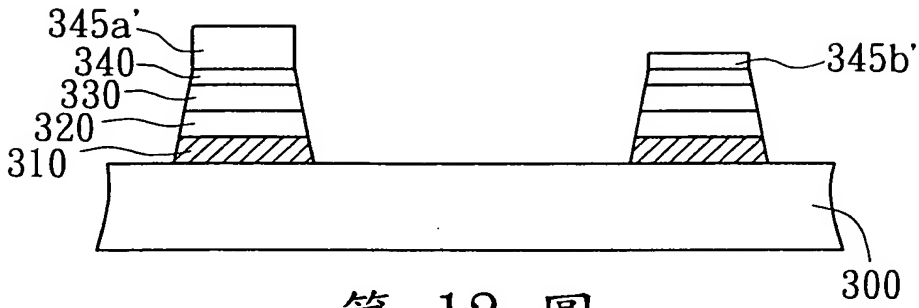
第 9 圖



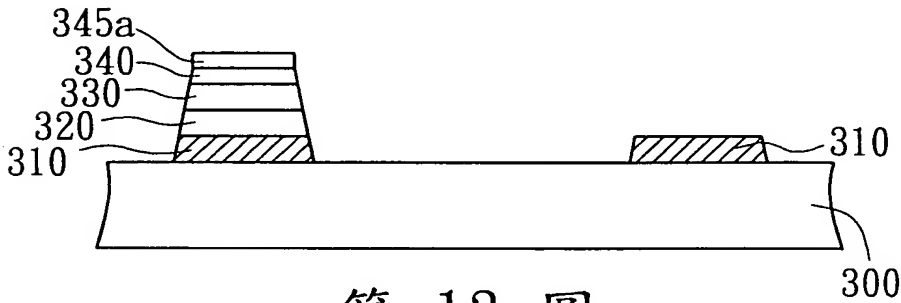
第 10 圖



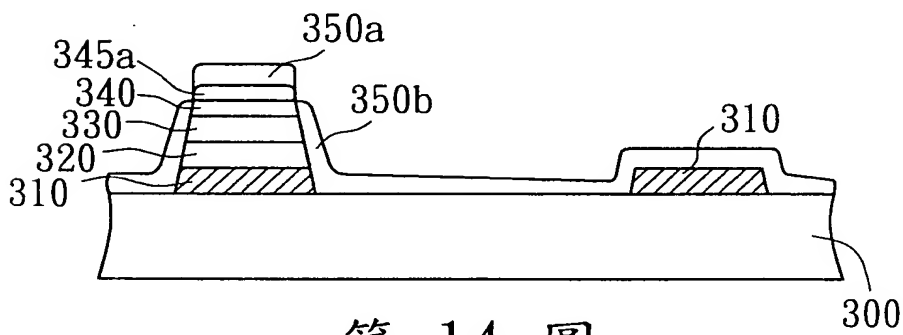
第 11 圖



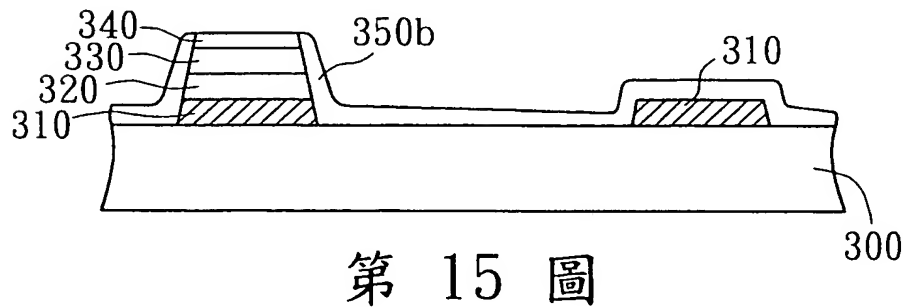
第 12 圖



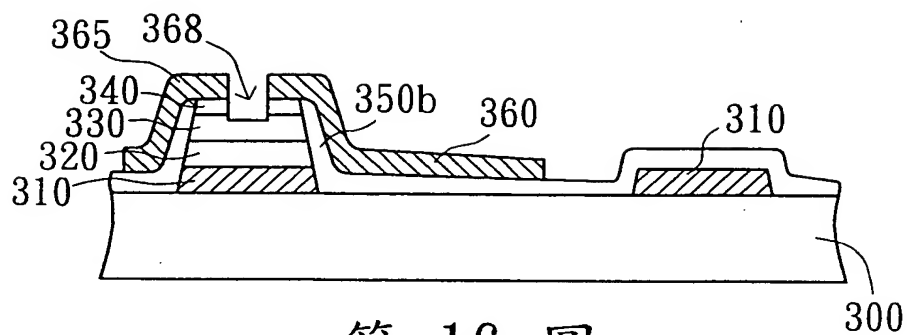
第 13 圖



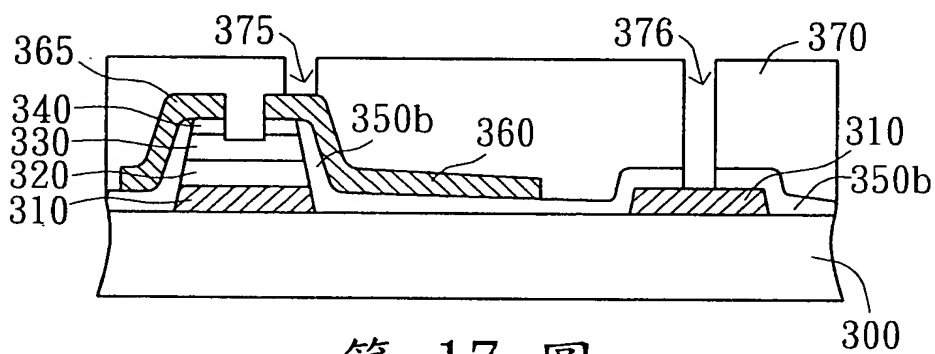
第 14 圖



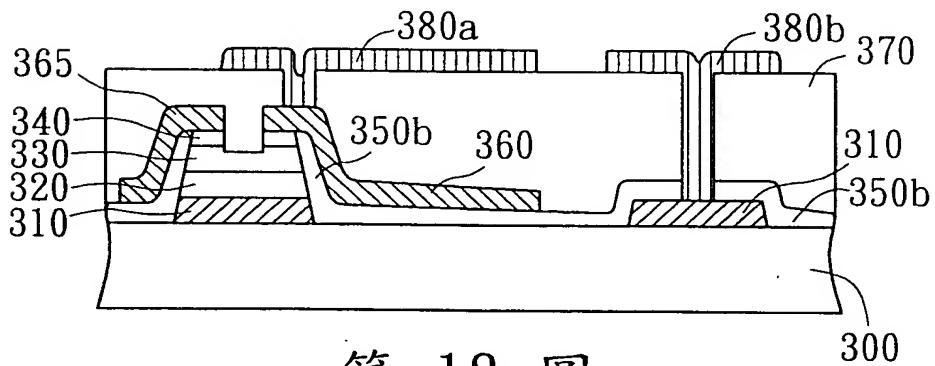
第 15 圖



第 16 圖



第 17 圖



第 18 圖